

(19) 世界知的所有權機關
國際事務局



23 JUN 2005

(43) 国際公開日
2004 年 7 月 15 日 (15.07.2004)

PCT

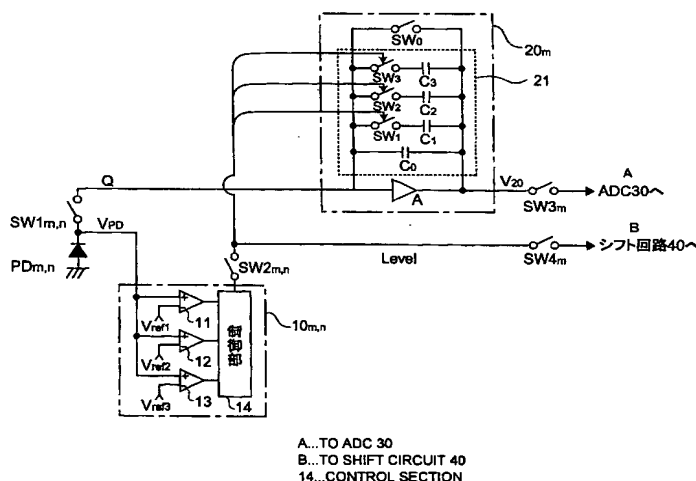
(10) 国際公開番号
WO 2004/059268 A1

- | | | |
|---|--------------------------------|---|
| (51) 国際特許分類 ⁷⁾ :
I/20, H01L 27/146, 31/10, H04N 5/335 | G01J 1/44, G01T | [JP/JP]; 千435-8558 静岡県 浜松市 市野町1126番地の1 Shizuoka (JP). |
| (21) 国際出願番号: | PCT/JP2003/016802 | (72) 発明者; および |
| (22) 国際出願日: | 2003 年12 月25 日 (25.12.2003) | (75) 発明者/出願人 (米国についてのみ): 鈴木 保博 (SUZUKI, Yasuhiro) [JP/JP]; 千435-8558 静岡県 浜松市 市野町1126番地の1 浜松ホトニクス株式会社内 Shizuoka (JP). 水野 誠一郎 (MIZUNO, Seichiro) [JP/JP]; 千435-8558 静岡県 浜松市 市野町1126番地の1 浜松ホトニクス株式会社内 Shizuoka (JP). |
| (25) 国際出願の言語: | 日本語 | |
| (26) 国際公開の言語: | 日本語 | |
| (30) 優先権データ:
特願 2002-375115 | 2002 年12 月25 日 (25.12.2002) JP | |
| (71) 出願人 (米国を除く全ての指定国について): 浜松ホトニクス株式会社 (HAMAMATSU PHOTONICS K.K.) | | (74) 代理人: 長谷川 芳樹, 外 (HASEGAWA, Yoshiki et al.); 千104-0061 東京都 中央区 銀座一丁目10番6号 銀座ファーストビル 創英国際特許法律事務所 Tokyo (JP). |

〔続葉有〕

(54) Title: OPTICAL SENSOR

(54) 発明の名称: 光検出装置



(S7) Abstract: An optical sensor for measuring the intensity of an incident light at high speed. The optical sensor has a wide dynamic range of measurement of incident light intensity. The optical sensor comprises photodiodes ($PD_{m,n}$) each generating a charge Q according to the incident light intensity. Charge level measuring circuits ($10_{m,n}$) are so provided as to correspond to the respective photodiodes ($PD_{m,n}$) so as to measure the level of the charge Q generated by each photodiode ($PD_{m,n}$) and to output a level signal (Level) representing the result of the level measurement. An integration capacitor section (21) of an integrating circuit (20_m) sets a capacitance value according to the received level sign (Level) sequentially outputted from the N charge level measuring circuits ($10_{m,1}$ to $10_{m,N}$). The integrating circuit (20_m) receives at its input terminal the charge Q sequentially outputted from the N photodiodes ($PD_{m,1}$ to $PD_{m,N}$), stores it in the integration capacitor section (21), and outputs from the output terminal the voltage V_{20} according to the stored charge Q .

(57) 要約: 本発明は、入射光強度検出のダイナミックレンジが広く高速に入射光強度を検出することができる光検出装置を提供することを目的とする。各フォトダイオード $PD_{m,n}$ は、入射光強度に応じた量の電荷 Q を発生する。電荷量レベル判定回路 $1\ O_{m,n}$ は、フォトダイオード $PD_{m,n}$ に対応して設けられており、該フォトダイオード $PD_{m,n}$ で発生した電荷 Q の量のレベルを判定し、そのレベル判定結果を示すレベル信号 $Level$ を出力する。積分回路 $2\ O_m$ の積分容量部 2

〔続葉有〕

WO 2004/059268 A1



(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (広域): ARIPO 特許 (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ

特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

1は、N個の電荷量レベル判定回路 $10_{m,1} \sim 10_{m,N}$ それぞれから順次に入力されたレベル信号Levelに基づいて容量値が設定される。積分回路 20_m は、N個のフォトダイオード $PD_{m,1} \sim PD_{m,N}$ それぞれから順次に入力されて該入力端に入力した電荷Qを積分容量部21に蓄積して、この蓄積した電荷Qの量に応じた電圧値 V_{20} を出力端より出力する。

明細書

光検出装置

技術分野

【0001】 本発明は、配列された複数のフォトダイオードを含む光検出装置
5 に関するものである。

背景技術

【0002】 光検出装置は、1次元状または2次元状に配列された複数のフォト
ダイオードと、アンプおよび積分容量部を含む積分回路とを備えた装置であり、
また、さらに以降の信号処理回路をも備える場合がある。この光検出装置では、
10 各フォトダイオードへの入射光の強度に応じた量の電荷が該フォトダイオードか
ら出力され、その電荷が積分容量部に蓄積され、その蓄積された電荷の量に応じ
た電圧値が積分回路より出力される。複数のフォトダイオードそれぞれで発生し
た電荷の量に応じて積分回路より出力される電圧値に基づいて、複数のフォトダ
イオードが配列された光検出面へ入射する光が検出される。また、光検出装置は、
15 積分回路から出力された電圧値（アナログ値）をデジタル値に変換するA/D変
換回路を更に備えている場合があり、この場合には、入射光強度がデジタル値と
して得られ、さらにコンピュータ等により処理することが可能となる。

【0003】 このような光検出装置は、CMOS技術により製造することが可
能であって、積分回路に含まれる積分容量部の容量値を変更することにより、入
射光強度検出のダイナミックレンジを拡大することができる。例えば、文献「S. L.
Garverick, et al., "A 32-Channel Charge Readout IC for Programmable,
Nonlinear Quantization of Multichannel Detector Data", IEEE Journal of
Solid-State Circuits, Vol. 30, No. 5, pp. 533-541 (1995)」に記載された光検出
装置では、積分回路は、容量値が可変である積分容量部がアンプの入出力端子間
20 に設けられており、フォトダイオードから出力された電荷を積分容量部に蓄積し
て、この蓄積した電荷の量に応じた電圧値を出力する。そして、この文献に記載

された光検出装置では、外部からの制御により積分容量部の容量値を適切に設定することで、入射光強度検出のダイナミックレンジの拡大を図っている。

【0004】 すなわち、積分容量部の容量値を小さくすることで、入射光強度が小さい場合であっても検出感度が大きくなり、一方、積分容量部の容量値を大きくすることで、入射光強度が大きい場合であっても出力信号の飽和が回避される。この光検出装置を用いれば、例えば真夏の昼間のように非常に明るい被写体を撮像する場合にも、出力信号が飽和することなく被写体を撮像することができる。また、例えば夜間のように非常に暗い被写体を撮像する場合にも、感度よく被写体を撮像することができる。

【0005】 しかしながら、上記文献に記載された光検出装置は、被写体上の位置によって明暗が大きく異なる場合には、被写体の暗い部分を感度よく撮像しようとするれば、被写体の明るい部分における出力信号が飽和する。一方、被写体の明るい部分を飽和しないように撮像しようとするれば、被写体の暗い部分における撮像感度が悪くなる。このように、この光検出装置は、撮像の度に積分容量部の容量値を適切に設定することで入射光強度検出のダイナミックレンジの拡大を図っているものの、1画面における画素毎の入射光強度検出のダイナミックレンジが拡大されるものではない。

【0006】 このような問題を解決することを意図した発明が、国際公開第02/12845号パンフレットに開示されている。この国際公開パンフレットに開示された光検出装置は、容量値が可変である積分容量部を有する積分回路と、各フォトダイオードそれぞれで発生した電荷の量のレベルを判定する電荷量レベル判定回路と、を備えている。そして、複数のフォトダイオードのうちの何れかのフォトダイオードが選択され、この選択されたフォトダイオードで発生した電荷の量のレベルが電荷量レベル判定回路により判定され、この判定された電荷量レベルに基づいて積分容量部の容量値が設定され、その後に、選択されたフォトダイオードで発生した電荷の蓄積する動作が積分回路において開始される。この

ように構成されることで、この光検出装置は、各々のフォトダイオード毎（すなわち、1画面における画素毎）の入射光強度検出のダイナミックレンジが拡大され得る。

発明の開示

5 【0007】 しかしながら、上記国際公開パンフレットに開示された光検出装置では、上述したように、複数のフォトダイオードのうちの何れかのフォトダイオードが選択されてから、積分回路における電荷蓄積動作が開始される迄に、多くのステップが必要である。このことから、この光検出装置には、高速な光検出動作が困難であるという問題点がある。

10 【0008】 そこで、本発明は、上記問題点を解消する為になされたものであり、入射光強度検出のダイナミックレンジが広く高速に入射光強度を検出することができる光検出装置を提供することを目的とする。

15 【0009】 本発明に係る光検出装置は、(1) 入射光強度に応じた量の電荷を各々発生するN個（Nは2以上の整数）のフォトダイオードと、(2) N個のフォトダイオードそれぞれに対応して設けられ、各フォトダイオードで発生した電荷の量のレベルを判定し、そのレベル判定結果を示すレベル信号を出力するN個の電荷量レベル判定回路と、(3) 容量値が可変であって該容量値がレベル信号に基づいて設定される積分容量部を有し、入力端に入力した電荷を積分容量部に蓄積して、この蓄積した電荷の量に応じた電圧値を出力端より出力する積分回路と、
20 (4) N個のフォトダイオードそれぞれに対応して設けられ、各フォトダイオードと積分回路の入力端との間に設けられた第1スイッチと、(5) N個の電荷量レベル判定回路それぞれに対応して設けられ、各電荷量レベル判定回路と積分容量部との間に設けられた第2スイッチと、を備えることを特徴とする。

25 【0010】 本発明に係る光検出装置によれば、フォトダイオードに入射した光の強度に応じた量の電荷が発生し、この電荷のレベルが電荷量レベル判定回路により判定される。そして、この判定された電荷量レベルに基づいて積分回路の

積分容量部の容量値が設定される。その後、積分回路において、フォトダイオードで発生した電荷が積分容量部に蓄積されて、この蓄積された電荷の量に応じた値の電圧信号が出力される。入射光強度が大きい場合には、積分回路の可変容量部の容量値は比較的大きな値に設定され、入射光強度が大きくても飽和することなく入射光強度が検出される。一方、入射光強度が小さい場合には、積分回路の可変容量部の容量値は比較的小さな値に設定され、入射光強度が小さくても感度よく入射光強度が検出される。また、この光検出装置では、各フォトダイオードに対して電荷量レベル判定回路が1対1に設けられていることにより、積分回路の積分容量部の容量値が迅速に設定され、高速に入射光強度が検出され得る。

5 【0011】 本発明に係る光検出装置は、積分回路の出力端より出力された電圧値を入力し、この電圧値をA/D変換して、この電圧値に応じたデジタル値を出力するA/D変換回路を更に備えるのが好適である。この場合には、積分回路から出力された電圧値は、A/D変換回路に入力してデジタル値に変換され、このデジタル値がA/D変換回路より出力される。

10 【0012】 本発明に係る光検出装置は、A/D変換回路から出力されたデジタル値を入力し、レベル信号に応じてデジタル値のビットをシフトして、このビットをシフトしたデジタル値を出力するシフト回路を更に備えるのが好適である。この場合には、A/D変換回路から出力されたデジタル値は、シフト回路により、電荷量レベル判定回路により判定された電荷量レベルに応じてビットがシフトされて出力される。

15 【0013】 本発明に係る光検出装置は、積分容量部が第1容量値または第2容量値に設定が可能であって、第1容量値が第2容量値の 2^p 倍（ p は1以上の整数）であり、A/D変換回路が p 以上のビット数のデジタル値を出力し、シフト回路がレベル信号に応じてデジタル値を p ビットだけシフトするのが好適である。この場合には、A/D変換回路から出力されたデジタル値が必要に応じて p ビットだけシフトされることで、これにより得られるデジタル値は入射光強度に

対して線形性が優れるものとなる。

【0014】 本発明に係る光検出装置は、第1スイッチおよび第2スイッチそれぞれの開閉を制御する制御回路を更に備え、制御回路が、N個のフォトダイオードそれぞれについて、該フォトダイオードに対応する第2スイッチを閉じ、該
5 フォトダイオードに対応する電荷量レベル判定回路より出力されたレベル信号に基づいて積分容量部の容量値が設定された後に、該フォトダイオードに対応する第1スイッチを閉じるのが好適である。この場合には、積分回路の積分容量部の容量値が迅速に設定され、高速に入射光強度が検出される。

【0015】 本発明に係る光検出装置は、N個のフォトダイオード、N個の電
10 荷量レベル判定回路および積分回路を1組として、これらをM組（Mは2以上の整数）備えるのが好適である。この場合には、 $M \times N$ 個のフォトダイオードが配列されるので、画素数の更なる増加が可能である。

【0016】 本発明に係る光検出装置は、(1) 第1基板にN個のフォトダイオードが設けられ、(2) 第2基板にN個の電荷量レベル判定回路、積分回路、第1
15 スwitchおよび第2スイッチが設けられており、(3) 第1基板と第2基板とが互いにバンプ接続されていて、互いに対応するフォトダイオードと第1スイッチとが電氣的に接続されていて、互いに対応するフォトダイオードと電荷量レベル判定回路とが電氣的に接続されているのが好適である。この場合には、第1基板および第2基板それぞれは、最適の製造プロセスで製造することが可能であり、集
20 積度を向上する上で好ましい。

図面の簡単な説明

【0017】 図1は、本実施形態に係る光検出装置1の全体構成図である。

【0018】 図2は、本実施形態に係る光検出装置1の一部構成図である。

【0019】 図3は、本実施形態に係る光検出装置1に含まれる電荷量レベル
25 判定回路10_{m,n}および積分回路20_mの回路図である。

【0020】 図4は、本実施形態に係る光検出装置1の動作を説明するタイミ

ングチャートである。

【0021】 図5は、本実施形態に係る光検出装置1における第1基板100および第2基板200の配置関係を示す斜視図である。

5 【0022】 図6は、本実施形態に係る光検出装置1における第1基板100および第2基板200の断面の1例を示す図である。

【0023】 図7は、本実施形態に係る光検出装置1における第1基板100および第2基板200の断面の他の例を示す図である。

発明を実施するための最良の形態

10 【0024】 以下、添付図面を参照して本発明の実施の形態を詳細に説明する。
なお、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。

15 【0025】 図1は、本実施形態に係る光検出装置1の全体構成図である。図2は、本実施形態に係る光検出装置1の一部構成図である。図1において点線で示された範囲Y内のブロック $X_1 \sim X_M$ それぞれの詳細が図2に示されている。これらの図に示される光検出装置1は、M組のユニット $U_1 \sim U_M$ 、A/D変換回路30、シフト回路40および制御回路50を備えている。各ユニット U_m は、互いに同様の構成を有しており、N個のフォトダイオード $PD_{m,1} \sim PD_{m,N}$ 、N個の電荷量レベル判定回路 $10_{m,1} \sim 10_{m,N}$ 、N個の第1スイッチ $SW1_{m,1} \sim SW1_{m,N}$ 、N個の第2スイッチ $SW2_{m,1} \sim SW2_{m,N}$ 、積分回路 20_m 、スイッチ $SW3_m$ およびスイッチ $SW4_m$ を備えている。ここで、Mは1以上の整数であり、Nは2以上の整数であり、mは1以上M以下の各整数であり、また、以下に現れるnは1以上N以下の各整数である。

25 【0026】 各フォトダイオード $PD_{m,n}$ は、入射光強度に応じた量の電荷Qを発生するものである。スイッチ $SW1_{m,n}$ は、フォトダイオード $PD_{m,n}$ に対応して該フォトダイオード $PD_{m,n}$ と積分回路 20_m の入力端との間に設けられ、電氣的に開閉が可能である。

【0027】 電荷量レベル判定回路 $10_{m,n}$ は、フォトダイオード $PD_{m,n}$ に対応して設けられており、該フォトダイオード $PD_{m,n}$ で発生した電荷 Q の量のレベルを判定し、そのレベル判定結果を示すレベル信号 $Level$ を出力する。スイッチ $SW2_{m,n}$ は、電荷量レベル判定回路 $10_{m,n}$ に対応して該電荷量レベル判定回路 $10_{m,n}$ と積分回路 20_m との間に設けられ、電氣的に開閉が可能である。なお、レベル信号 $Level$ は、1ビットまたは複数ビットのデジタル信号であり、スイッチ $SW2_{m,n}$ は、このビット数分のスイッチを含む。

【0028】 積分回路 20_m は、容量値が可変である積分容量部を有しており、フォトダイオード $PD_{m,n}$ とスイッチ $SW1_{m,n}$ を介して入力端が接続されている。そして、積分回路 20_m は、これらのスイッチ $SW1_{m,1} \sim SW1_{m,N}$ の順次の開閉に伴い N 個のフォトダイオード $PD_{m,1} \sim PD_{m,N}$ それぞれから順次に出力されて該入力端に入力した電荷 Q を積分容量部に蓄積して、この蓄積した電荷 Q の量に応じた電圧値 V_{20} を出力端より出力する。また、積分容量部は、電荷量レベル判定回路 $10_{m,n}$ とスイッチ $SW2_{m,n}$ を介して接続されており、これらのスイッチ $SW2_{m,1} \sim SW2_{m,N}$ の順次の開閉に伴い N 個の電荷量レベル判定回路 $10_{m,1} \sim 10_{m,N}$ それぞれから順次に出力されて入力したレベル信号 $Level$ に基づいて容量値が設定される。

【0029】 A/D 変換回路 30 は、積分回路 20_m の出力端よりスイッチ $SW3_m$ を経て順次に出力された電圧値 V_{20} を入力し、この電圧値 V_{20} を A/D 変換して、この電圧値 V_{20} に応じたデジタル値を出力する。シフト回路 40 は、 A/D 変換回路 30 から出力されたデジタル値を入力するとともに、電荷量レベル判定回路 $10_{m,1} \sim 10_{m,N}$ それぞれよりスイッチ $SW2_{m,n}$ およびスイッチ $SW4_m$ を経て出力されたレベル信号 $Level$ を順次に入力して、このレベル信号 $Level$ に応じてデジタル値のビットをシフトして、このビットをシフトしたデジタル値を出力する。

【0030】 制御回路 50 は、光検出装置 1 の全体の動作を制御するものであ

る。特に、制御回路 50 は、各スイッチ $SW1_{m,n}$ および各スイッチ $SW2_{m,n}$ それぞれの開閉を制御する。具体的には、制御回路 50 は、各フォトダイオード $PD_{m,n}$ について、対応するスイッチ $SW2_{m,n}$ を閉じ、対応する電荷量レベル判定回路 $10_{m,n}$ より出力されたレベル信号 $Level$ に基づいて積分回路 20_m の積分容量部の容量値が設定された後に、対応するスイッチ $SW1_{m,n}$ を閉じて、積分回路 20_m における積分動作を開始させる。また、制御回路 50 は、積分回路 20_m 、スイッチ $SW3_m$ 、スイッチ $SW4_m$ 、A/D 変換回路 30 およびシフト回路 40 それぞれの動作のタイミングをも制御する。この動作タイミングについては後に詳述する。なお、図 1 では、制御回路 50 から他の要素回路へ送られる制御信号の図示が省略されている。

【0031】 図 3 は、本実施形態に係る光検出装置 1 に含まれる電荷量レベル判定回路 $10_{m,n}$ および積分回路 20_m の回路図である。なお、この図には、第 m ユニット U_m 内の第 n フォトダイオード $PD_{m,n}$ に対応する部分のみが示されている。

【0032】 電荷量レベル判定回路 $10_{m,n}$ は、3つの比較器 11～13 および制御部 14 を有している。比較器 11～13 それぞれの非反転入力端子は、フォトダイオード $PD_{m,n}$ のカソード端子とスイッチ $SW1_{m,n}$ との接続点に接続されている。比較器 11 の反転入力端子には基準電圧値 V_{ref1} が入力し、比較器 12 の反転入力端子には基準電圧値 V_{ref2} が入力し、比較器 13 の反転入力端子には基準電圧値 V_{ref3} が入力している。そして、比較器 11～13 それぞれは、非反転入力端子および反転入力端子それぞれに入力する電圧値を大小比較して、その比較結果を表す信号を制御部 14 へ出力する。制御部 14 は、比較器 11～13 それぞれより出力された信号を入力して、積分回路 20_m の積分容量部の容量値を設定する為の 3 ビットのレベル信号 $Level$ を出力する。

【0033】 ここで、基準電圧値 $V_{ref1} \sim V_{ref3}$ は

$$V_{ref1} = V_{sat} / 2 \quad \dots(1a)$$

$$V_{\text{ref2}} = V_{\text{sat}} / 4 \quad \dots(1b)$$

$$V_{\text{ref3}} = V_{\text{sat}} / 8 \quad \dots(1c)$$

なる関係式を満たす。 V_{sat} は一定値である。したがって、3つの比較器 11 ~ 13 は、フォトダイオード $PD_{m,n}$ のカソード端子の電位 V_{PD} が、

$$V_{PD} < V_{\text{sat}} / 8 \quad \dots(2a)$$

$$V_{\text{sat}} / 8 \leq V_{PD} < V_{\text{sat}} / 4 \quad \dots(2b)$$

$$V_{\text{sat}} / 4 \leq V_{PD} < V_{\text{sat}} / 2 \quad \dots(2c)$$

$$V_{\text{sat}} / 2 \leq V_{PD} \quad \dots(2d)$$

のうちの何れの範囲にあるかを判定することができる。制御部 14 より出力されるレベル信号 Level は、電位 V_{PD} が上記(2a)式~(2d)式の何れの範囲にあるかを示すものである。

【0034】 積分回路 20_m は、アンプ A、容量素子 $C_0 \sim C_3$ およびスイッチ $SW_0 \sim SW_3$ を有している。アンプ A の入力端子は、スイッチ $SW_{1,m,n}$ を介して、フォトダイオード $PD_{m,n}$ のカソード端子に接続されている。アンプ A の出力端子は、スイッチ $SW_{3,m}$ を介して A/D 変換回路 30 に接続されている。互いに直列接続されたスイッチ SW_1 および容量素子 C_1 、互いに直列接続されたスイッチ SW_2 および容量素子 C_2 、互いに直列接続されたスイッチ SW_3 および容量素子 C_3 、容量素子 C_0 、ならびに、スイッチ SW_0 は、アンプ A の入出力端子間に互いに並列に設けられている。

【0035】 容量素子 $C_0 \sim C_3$ およびスイッチ $SW_1 \sim SW_3$ は、容量値が可変の積分容量部 21 を構成している。すなわち、スイッチ $SW_1 \sim SW_3$ それぞれは、電荷量レベル判定回路 10_{m,n} の制御部 14 より出力されスイッチ $SW_{2,m,n}$ を経て入力したレベル信号 Level に基づいて開閉し、この開閉状態に応じて積分容量部 21 の容量値が定まる。ここで、容量素子 $C_0 \sim C_3$ それぞれの容量値は、

$$C_0 = C \quad \dots(3a)$$

$$C_1 = C \quad \dots(3b)$$

$$C_2 = 2C \quad \dots(3c)$$

$$C_3 = 4C \quad \dots(3d)$$

なる関係式を満たす。Cは一定値である。

【0036】 積分容量部21は、レベル信号Levelに基づいて、つまり、3つの比較器11～13により判定されたフォトダイオードPD_{m,n}のカソード端子の電位V_{PD}に応じて、以下のように、スイッチSW₁～SW₃それぞれの開閉が設定されることで、容量値が設定される。すなわち、電位V_{PD}が上記(2a)式の範囲にあると判定されたときには、スイッチSW₁～SW₃の全てが開いて、積分容量部21の容量値がC(=C₀)に設定され、電位V_{PD}が上記(2b)式の範囲にあると判定されたときには、スイッチSW₁のみが閉じて、積分容量部21の容量値が2C(=C₀+C₁)に設定される。電位V_{PD}が上記(2c)式の範囲にあると判定されたときには、スイッチSW₁およびSW₂が閉じて、積分容量部21の容量値が4C(=C₀+C₁+C₂)に設定される。また、電位V_{PD}が上記(2d)式の範囲にあると判定されたときには、スイッチSW₁～SW₃の全てが閉じて、積分容量部21の容量値が8C(=C₀+C₁+C₂+C₃)に設定される。そして、これら何れの場合にも、積分回路20_mの出力端より出力される電圧値V₂₀は、

$$V_{sat}/2 \leq V_{20} < V_{sat} \quad \dots(4)$$

なる範囲にある。

【0037】 そして、A/D変換回路30は、各ユニットU_mの積分回路20_mの出力端より出力されてスイッチSW_{3m}を経て順次に到達した電圧値V₂₀を入力して、この電圧値V₂₀をA/D変換し、この電圧値V₂₀に応じたデジタル値を出力する。このとき、A/D変換回路30に入力する電圧値V₂₀は常に上記(4)式の範囲内にあるから、A/D変換回路30は、電圧値V₂₀をA/D変換する際に、出力するデジタル値の全ビットを有効に利用することができる。

【0038】 シフト回路40は、A/D変換回路30から出力されたデジタル値を入力するとともに、電荷量レベル判定回路10_{m,1}～10_{m,N}それぞれから出

力されたレベル信号 Level を順次に入力して、このレベル信号 Level に応じてデジタル値のビットをシフトして、このビットをシフトしたデジタル値を出力する。すなわち、A/D変換回路 30 から出力されるデジタル値が K ビット (K は 2 以上の整数) のデジタル値 ($D_{K-1}, D_{K-2}, \dots, D_1, D_0$) であるとしたとき、シフト回路 40 は (K+3) ビットのデジタル値を出力する。シフト回路 40 は、電位 V_{PD} が上記(2a)式の範囲にあることをレベル信号 Level が示している場合には、入力したデジタル値をビットシフトすることなく、(K+3) ビットのデジタル値 ($0, 0, 0, D_{K-1}, D_{K-2}, \dots, D_1, D_0$) を出力する。電位 V_{PD} が上記(2b)式の範囲にあることをレベル信号 Level が示している場合には、入力したデジタル値を 1 ビット分だけ上位にシフトして、(K+3) ビットのデジタル値 ($0, 0, D_{K-1}, D_{K-2}, \dots, D_1, D_0, 0$) を出力する。電位 V_{PD} が上記(2c)式の範囲にあることをレベル信号 Level が示している場合には、入力したデジタル値を 2 ビット分だけ上位にシフトして、(K+3) ビットのデジタル値 ($0, D_{K-1}, D_{K-2}, \dots, D_1, D_0, 0, 0$) を出力する。また、電位 V_{PD} が上記(2d)式の範囲にあることをレベル信号 Level が示している場合には、入力したデジタル値を 3 ビット分だけ上位にシフトして、(K+3) ビットのデジタル値 ($D_{K-1}, D_{K-2}, \dots, D_1, D_0, 0, 0, 0$) を出力する。

【0039】 次に、本実施形態に係る光検出装置 1 の動作タイミングについて説明する。図 4 は、本実施形態に係る光検出装置 1 の動作を説明するタイミングチャートである。この図には、上から順に、フォトダイオード $PD_{m,n-1}$ に対応するスイッチ $SW_{2,m,n-1}$ の開閉タイミングおよびスイッチ $SW_{1,m,n-1}$ の開閉タイミング、各ユニット U_m においてフォトダイオード $PD_{m,n-1}$ に隣接して配置されるフォトダイオード $PD_{m,n}$ に対応するスイッチ $SW_{2,m,n}$ の開閉タイミングおよびスイッチ $SW_{1,m,n}$ の開閉タイミング、各ユニット U_m においてフォトダイオード $PD_{m,n}$ に隣接して配置されるフォトダイオード $PD_{m,n+1}$ に対応するスイッチ $SW_{2,m,n+1}$ の開閉タイミングおよびスイッチ $SW_{1,m,n+1}$ の開閉タイミング、積分回路 20_m からの出力電圧値 V_{20} 、ならびに、A/D変換回路 30 からの出力デジ

タル値、が示されている。

【0040】 時刻 $t_{n-1,2}$ から時刻 $t_{n,1}$ までの期間内に、各ユニット U_m において、 N 個のスイッチ $SW_{2m,1} \sim SW_{2m,N}$ のうちの第 $(n-1)$ 番目のスイッチ $SW_{2m,n-1}$ のみが閉じて、第 $(n-1)$ 番目の電荷量レベル判定回路 $10_{m,n-1}$ の制御部 14 より出力されたレベル信号 $Level$ が積分回路 20_m に入力して、このレベル信号に基づいて積分回路 20_m の積分容量部 21 の容量値が設定される。このときのレベル信号は、時刻 $t_{n-1,2}$ において電荷量レベル判定回路 $10_{m,n}$ の 3 つの比較器 11 ~ 13 により判定されて制御部 14 により保持されたフォトダイオード $PD_{m,n}$ のカソード端子の電位 V_{PD} のレベルを示すものである。また、積分回路 20_m のスイッチ SW_0 が時刻 $t_{n-1,2}$ に閉じて、積分回路 20_m から出力される電圧値 V_{20} が初期化される。

【0041】 時刻 $t_{n,1}$ から時刻 $t_{n,2}$ までの期間に、各ユニット U_m において、 N 個のスイッチ $SW_{1m,1} \sim SW_{1m,N}$ のうちの第 n 番目のスイッチ $SW_{1m,n}$ のみが閉じ、積分回路 20_m のスイッチ SW_0 が開いており、積分回路 20_m の積分動作が行なわれる。このとき積分回路 20_m より出力される電圧値 V_{20} は、 N 個のフォトダイオード $PD_{m,1} \sim PD_{m,N}$ のうち第 n 番目のフォトダイオード $PD_{m,n}$ より出力されて積分容量部 21 に蓄積された電荷の量および積分容量部 21 の容量値に応じたものである。

【0042】 また、この時刻 $t_{n,1}$ から時刻 $t_{n,2}$ までの期間に、 M 個のスイッチ SW_{3m} が順次に閉じ、 M 個のスイッチ SW_{4m} が順次に閉じる。そして、 M 個のユニット $U_1 \sim U_M$ から順次に出力された電圧値 V_{20} は、 A/D 変換回路 30 によりデジタル値に変換され、このデジタル値は、 M 個のユニット $U_1 \sim U_M$ から順次に出力されたレベル信号 $Level$ に応じて、シフト回路 40 によりビットシフトされて出力される。このときシフト回路 40 より順次に出力されるデジタル値は、 M 個のユニット $U_1 \sim U_M$ それぞれに含まれる第 n 番目のフォトダイオード $PD_{m,n}$ への入射光強度に応じたものである。

【0043】そして、時刻 $t_{n,2}$ に、各ユニット U_m において、第 n 番目のスイッチ $SW_{1,m,n}$ およびスイッチ $SW_{2,m,n}$ それぞれが開き、積分回路 20_m のスイッチ SW_0 が閉じて、第 n 番目のフォトダイオード $PD_{m,n}$ についての一連の動作が終了する。時刻 $t_{n,2}$ から時刻 $t_{n+1,2}$ までの期間に、各ユニット U_m の第 $(n+1)$ 番目のフォトダイオード $PD_{m,n+1}$ について同様に一連の動作が行なわれる。更に以降も同様である。

【0044】以上のように、本実施形態に係る光検出装置 1 では、各フォトダイオード $PD_{m,n}$ に対して電荷量レベル判定回路 $10_{m,n}$ が設けられていることにより、該フォトダイオード $PD_{m,n}$ より出力される電荷の量に応じた適切な容量値が積分回路 20_m の積分容量部 21 に設定されるので、各々のフォトダイオード毎（すなわち、1 画面における画素毎）の入射光強度検出のダイナミックレンジが拡大され得る。また、各フォトダイオード $PD_{m,n}$ に対して電荷量レベル判定回路 $10_{m,n}$ が 1 対 1 に設けられていることにより、積分回路 20_m の積分容量部 21 の容量値が迅速に設定され、高速に入射光強度が検出され得る。また、個々の電荷量レベル判定回路 $10_{m,n}$ は、電荷量レベルの判定に際し、高速処理を要しないから、消費電力が小さくて済む。

【0045】次に、本実施形態に係る光検出装置 1 の実装形態について、図 5 ～図 7 を用いて説明する。図 5 は、本実施形態に係る光検出装置 1 における第 1 基板 100 および第 2 基板 200 の配置関係を示す斜視図である。この図に示されるように、光検出装置 1 は、第 1 基板 100 および第 2 基板 200 の 2 つの基板上に分割されている。そして、第 1 基板 100 上には、 $M \times N$ 個のフォトダイオード $PD_{1,1} \sim PD_{M,N}$ が M 行 N 列に配列されている。また、第 2 基板 200 上には、 $M \times N$ 個の電荷量レベル判定回路 $10_{1,1} \sim 10_{M,N}$ 、 $M \times N$ 個のスイッチ $SW_{1,1,1} \sim SW_{1,M,N}$ 、 $M \times N$ 個のスイッチ $SW_{2,1,1} \sim SW_{2,M,N}$ 、 M 個の積分回路 $20_1 \sim 20_M$ 、 M 個のスイッチ $SW_{3,1} \sim SW_{3,M}$ 、 M 個のスイッチ $SW_{4,1} \sim SW_{4,M}$ 、A/D 変換回路 30、シフト回路 40 および制御回路 50 が配置されている。そ

して、この図に示されるように、それぞれの基板が光の入射方向に重なるように積層されて実装されている。第1基板100上の各フォトダイオードPD_{m,n}のカソード電極と、第2基板200上のスイッチSW_{1m,n}および電荷量レベル判定回路10_{m,n}とが、バンプを介して電氣的に接続されている。

5 【0046】 図6は、本実施形態に係る光検出装置1における第1基板100および第2基板200の断面の1例を示す図である。なお、この図において、左右方向に基本パターンが繰り返されて示されているので、以下では1つの基本パターンについてのみ説明する。

10 【0047】 第1基板100は、n型半導体基板の第1面（図で上側の面）上に、該n型基板とともにpn接合を形成してフォトダイオードPDを構成するp⁺領域111と、アイソレーション領域としてのn⁺領域112とが形成されている。また、第1基板100は、n型半導体基板の第2面（図で下側の面）上に、ボンディングパッド124とオーミック接続を形成するn⁺型不純物層121と、表面を保護するための絶縁性の保護層122と、保護層122を貫通してn⁺型不純物層121と電氣的に接続されるボンディングパッド124とが形成されている。

15 さらに、第1基板100は、第1面と第2面との間を貫通する貫通孔が設けられ、その貫通孔内には、内壁に形成された絶縁物層を介して貫通電極131が設けられている。そして、第1基板100の第1面側においてp⁺領域111と貫通電極131とを電氣的に接続する金属配線113が絶縁膜114上に形成され、また、

20 第2面側において貫通電極131と電氣的に接続されたボンディングパッド123が形成されている。

25 【0048】 第2基板200は、半導体基板の第1面（図で上側の面）上に、スイッチSW1の第1端と電氣的に接続されたボンディングパッド223、及び、接地電位に電氣的に接続されたボンディングパッド224が形成されている。そして、第1基板100のボンディングパッド123と第2基板200のボンディングパッド223とはバンプ423により互いに接続されており、また、第1基

板 1 0 0 のボンディングパッド 1 2 4 と第 2 基板 2 0 0 のボンディングパッド 2 2 4 とは bumps 4 2 4 により互いに接続されている。第 1 基板 1 0 0 と第 2 基板 2 0 0 との間の間隙は樹脂により充填されている。

【0049】 また、第 1 基板 1 0 0 の第 1 面の側には、シンチレータ 5 1 0 および遮蔽材 5 2 0 が配置されている。シンチレータ 5 1 0 は、第 1 基板 1 0 0 の p⁺領域 1 1 1 の上方に設けられ、X 線等のエネルギー線が入射することによりシンチレーション光を発生するものである。遮蔽板 5 2 0 は、第 1 基板 1 0 0 の n⁺領域 1 1 2 の上方に設けられ、X 線等のエネルギー線の透過を阻止するとともに、シンチレータ 5 1 0 を固定するものである。

【0050】 この図 6 に示される構成では、X 線等のエネルギー線がシンチレータ 5 1 0 に入射すると、そのシンチレータ 5 1 0 よりシンチレーション光が発生する。さらに、そのシンチレーション光が第 1 基板 1 0 0 の p⁺領域 1 1 1 に入射すると、p n 接合部において電荷が発生する。その電荷は、金属配線 1 1 3、貫通電極 1 3 1、ボンディングパッド 1 2 3、bump 4 2 3 および第 2 基板 2 0 0 のボンディングパッド 2 2 3 を経て、第 2 基板 2 0 0 上に形成されているスイッチ SW 1 を経て積分回路 2 0 の入力端に入力する。

【0051】 図 7 は、本実施形態に係る光検出装置 1 における第 1 基板 1 0 0 および第 2 基板 2 0 0 の断面の他の例を示す図である。なお、この図においても、左右方向に基本パターンが繰り返されて示されているので、以下では 1 つの基本パターンについてのみ説明する。

【0052】 第 1 基板 1 0 0 は、n 型半導体基板の第 1 面（図で上側の面）上に、電荷再結合を防止するための n⁺型アキュムレーション層 1 5 1 と、表面を保護するための絶縁性の保護層 1 5 2 とが形成されている。第 1 基板 1 0 0 は、n 型半導体基板の第 2 面（図で下側の面）上に、該 n 型基板とともに p n 接合を形成してフォトダイオード PD を構成する p⁺領域 1 6 1 が形成され、アイソレーション領域としての n⁺領域 1 6 2 が形成され、これらの上に保護層 1 6 3 が形成さ

れている。また、第1基板100の第2面には、 p^+ 領域161と電氣的に接続されたボンディングパッド164と、 n^+ 領域162と電氣的に接続されたボンディングパッド165とが形成されている。

【0053】 第2基板200は、半導体基板の第1面（図で上側の面）上に、
5 スイッチSW1の第1端と電氣的に接続されたボンディングパッド264および
ボンディングパッド265が形成されている。そして、第1基板100のボンディングパッド164と、第2基板200のボンディングパッド264とは、バンプ464により互いに接続されている。第1基板100のボンディングパッド165と、第2基板200のボンディングパッド265とは、バンプ465により
10 互いに接続されている。第1基板100と第2基板200との間の間隙は樹脂により充填されている。

【0054】 また、第1基板100の第1面の側には、シンチレータ510および遮蔽材520が配置されている。シンチレータ510は、第1基板100の
15 p^+ 領域161の上方に設けられ、X線等のエネルギー線が入射することによりシンチレーション光を発生するものである。遮蔽板520は、第1基板100の n^+ 領域162の上方に設けられ、X線等のエネルギー線の透過を阻止するとともに、シンチレータ510を固定するものである。また、第1基板100は、 p^+ 領域161が形成された部分において、第1面側が研削されて、厚みが薄くされている。

【0055】 この図7に示される構成では、X線等のエネルギー線がシンチレータ510に入射すると、そのシンチレータ510よりシンチレーション光が発生する。さらに、そのシンチレーション光が第1基板100を透過して p^+ 領域161に入射すると、 p n 接合部において電荷が発生する。その電荷は、ボンディングパッド164、バンプ464および第2基板200のボンディングパッド264を経て、第2基板200上に形成されているスイッチSW1を経て積分回路2
20 0の入力端に入力する。

【0056】 以上のように構成される本実施形態に係る光検出装置1は、以下

のような効果を奏することができる。すなわち、各フォトダイオード $PD_{m,n}$ から積分回路 20_m の入力端へ至るまでの電荷移動経路が短くなって、その経路上の配線における寄生容量が小さくなり、それ故、積分回路 20_m から出力される電圧値に含まれる雑音が小さく、正確な光検出をすることが可能となる。また、第

5 1 基板 100 上には積分回路 20_m などの信号処理の為の回路が設けられていないので、画素数の増加や高密度化が可能である。また、第 1 基板 100 より第 2 基板 200 を小さくすることが容易となり、複数の光検出装置 1 を配列する際に、フォトダイオードが設けられている各々の第 1 基板 100 を極めて接近させて又は接触させて配列することができる。また、フォトダイオードアレイが形成される

10 第 1 基板 100 と、積分回路 10_m などの信号処理回路が形成される第 2 基板 200 とで、最適な製造プロセスを採用することができるので、この点でも好ましい。

【0057】 本発明は、上記実施形態に限定されるものではなく、種々の変形が可能である。例えば、例えば、第 1 基板 100 および第 2 基板 200 それぞれの断面構造は、図 6 および図 7 それぞれに示されたものに限定されない。また、

15 第 2 基板 200 上には、更に他の回路が設けられていてもよい。また、電荷量レベル判定回路 $10_{m,n}$ において電荷量レベルを判定する為の閾値の個数は任意であり、この個数に応じて、積分回路 20_m の積分容量部が有し得る容量値の場合の数が定まる。

20 産業上の利用可能性

【0058】 以上、詳細に説明したとおり、本発明に係る光検出装置によれば、フォトダイオードに入射した光の強度に応じた量の電荷が発生し、この電荷のレベルが電荷量レベル判定回路により判定される。そして、この判定された電荷量レベルに基づいて積分回路の積分容量部の容量値が設定される。その後、積分回

25 路において、フォトダイオードで発生した電荷が積分容量部に蓄積されて、この蓄積された電荷の量に応じた値の電圧信号が出力される。入射光強度が大きい場

- 合には、積分回路の可変容量部の容量値は比較的大きな値に設定され、入射光強度が大きくても飽和することなく入射光強度が検出される。一方、入射光強度が小さい場合には、積分回路の可変容量部の容量値は比較的小さな値に設定され、入射光強度が小さくても感度よく入射光強度が検出される。また、この光検出装置では、各フォトダイオードに対して電荷量レベル判定回路が1対1に設けられていることにより、積分回路の積分容量部の容量値が迅速に設定され、高速に入射光強度が検出され得る。
- 5

請求の範囲

1. 入射光強度に応じた量の電荷を各々発生するN個（Nは2以上の整数）のフォトダイオードと、

5 前記N個のフォトダイオードそれぞれに対応して設けられ、各フォトダイオードで発生した電荷の量のレベルを判定し、そのレベル判定結果を示すレベル信号を出力するN個の電荷量レベル判定回路と、

容量値が可変であって該容量値が前記レベル信号に基づいて設定される積分容量部を有し、入力端に入力した電荷を前記積分容量部に蓄積して、この蓄積した電荷の量に応じた電圧値を出力端より出力する積分回路と、

10 前記N個のフォトダイオードそれぞれに対応して設けられ、各フォトダイオードと前記積分回路の入力端との間に設けられた第1スイッチと、

前記N個の電荷量レベル判定回路それぞれに対応して設けられ、各電荷量レベル判定回路と前記積分容量部との間に設けられた第2スイッチと、

を備えることを特徴とする光検出装置。

15 2. 前記積分回路の出力端より出力された電圧値を入力し、この電圧値をA/D変換して、この電圧値に応じたデジタル値を出力するA/D変換回路を更に備えることを特徴とする請求の範囲第1項に記載の光検出装置。

3. 前記A/D変換回路から出力されたデジタル値を入力し、前記レベル信号に応じて前記デジタル値のビットをシフトして、このビットをシフトしたデジタル値を出力するシフト回路を更に備えることを特徴とする請求の範囲第2項に記載の光検出装置。

4. 前記積分容量部が第1容量値または第2容量値に設定が可能であって、前記第1容量値が前記第2容量値の 2^p 倍（pは1以上の整数）であり、

前記A/D変換回路がp以上のビット数のデジタル値を出力し、

25 前記シフト回路が前記レベル信号に応じてデジタル値をpビットだけシフトする、

ことを特徴とする請求の範囲第 3 項に記載の光検出装置。

5. 前記第 1 スイッチおよび前記第 2 スイッチそれぞれの開閉を制御する制御回路を更に備え、

5 前記制御回路が、前記 N 個のフォトダイオードそれぞれについて、該フォトダイオードに対応する前記第 2 スイッチを閉じ、該フォトダイオードに対応する前記電荷量レベル判定回路より出力されたレベル信号に基づいて前記積分容量部の容量値が設定された後に、該フォトダイオードに対応する前記第 1 スイッチを閉じる、

ことを特徴とする請求の範囲第 1 項に記載の光検出装置。

10 6. 前記 N 個のフォトダイオード、前記 N 個の電荷量レベル判定回路および前記積分回路を 1 組として、これらを M 組 (M は 2 以上の整数) 備える、ことを特徴とする請求の範囲第 1 項に記載の光検出装置。

7. 第 1 基板に前記 N 個のフォトダイオードが設けられ、

15 第 2 基板に前記 N 個の電荷量レベル判定回路、前記積分回路、前記第 1 スイッチおよび前記第 2 スイッチが設けられており、

前記第 1 基板と前記第 2 基板とが互いにバンプ接続されていて、互いに対応する前記フォトダイオードと前記第 1 スイッチとが電氣的に接続されており、互いに対応する前記フォトダイオードと前記電荷量レベル判定回路とが電氣的に接続されている、

20 ことを特徴とする請求の範囲第 1 項に記載の光検出装置。

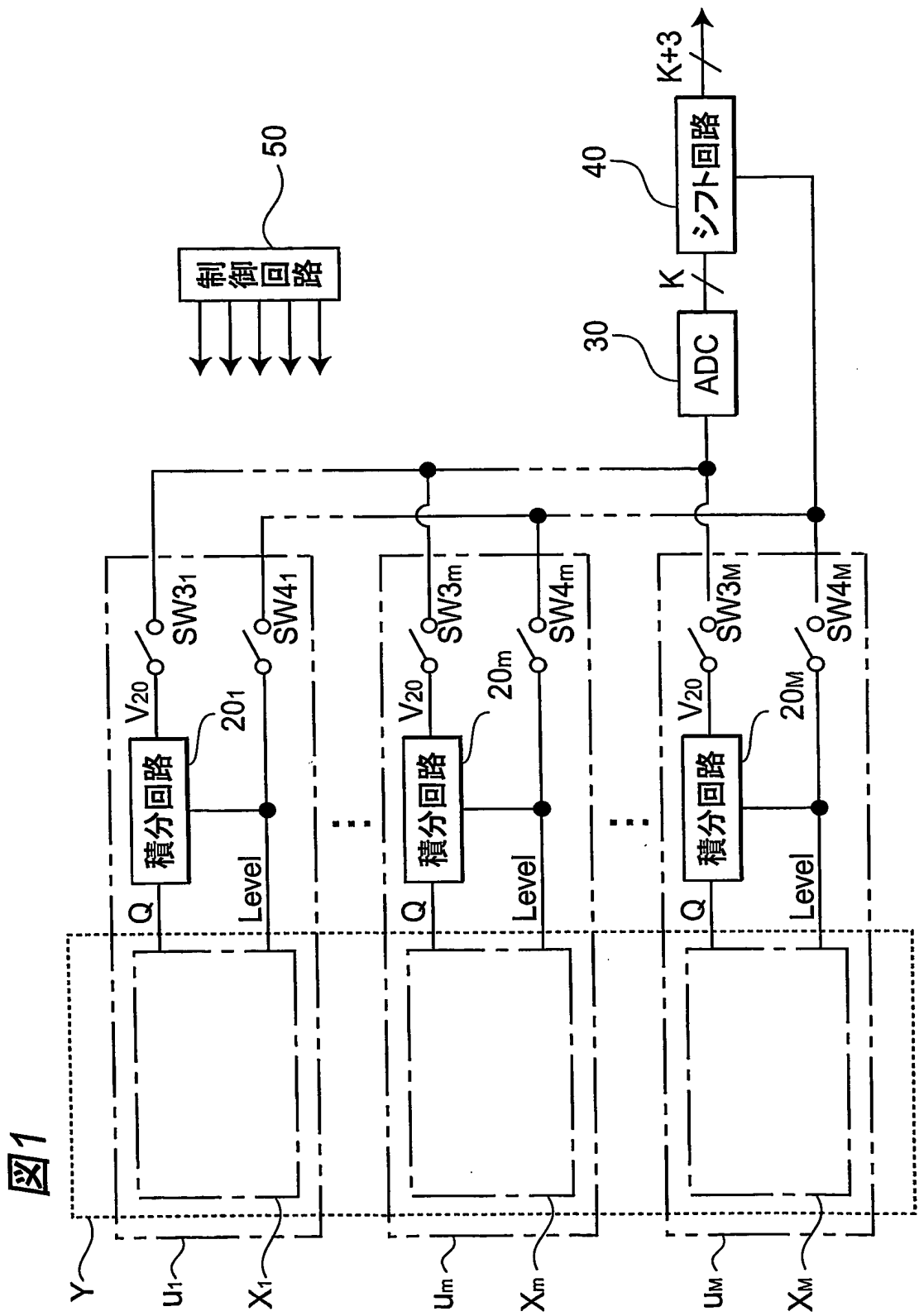
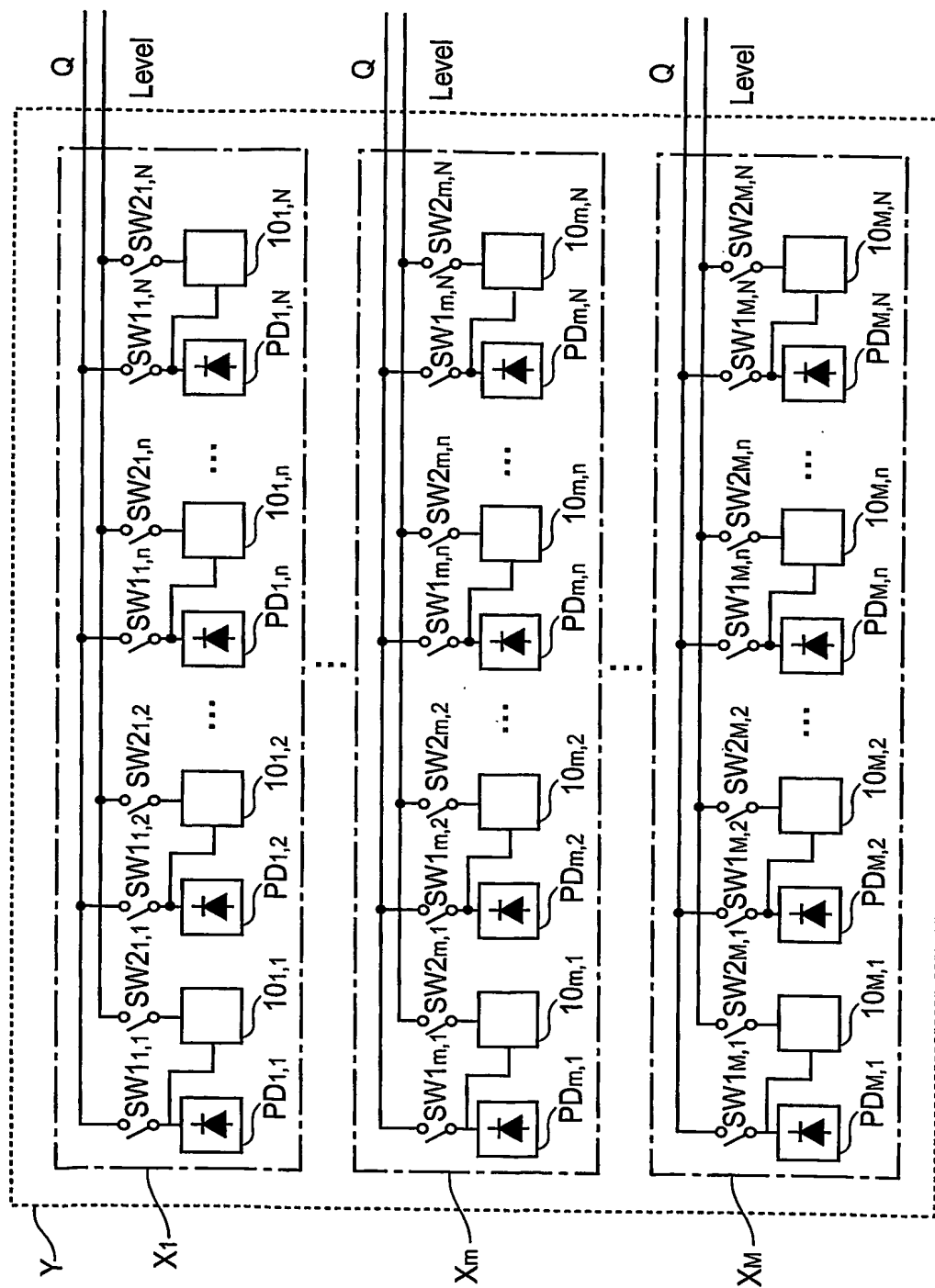


図2



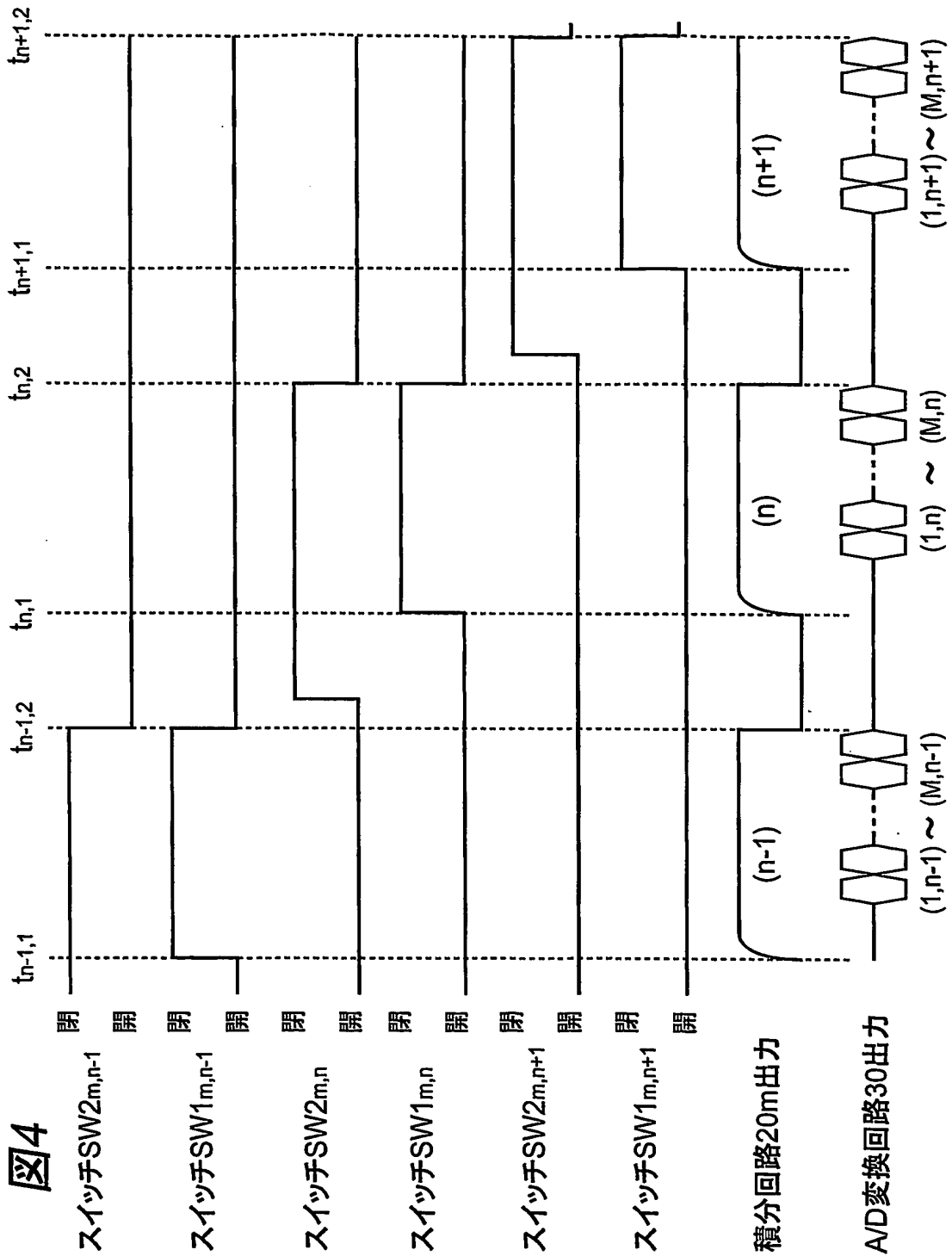
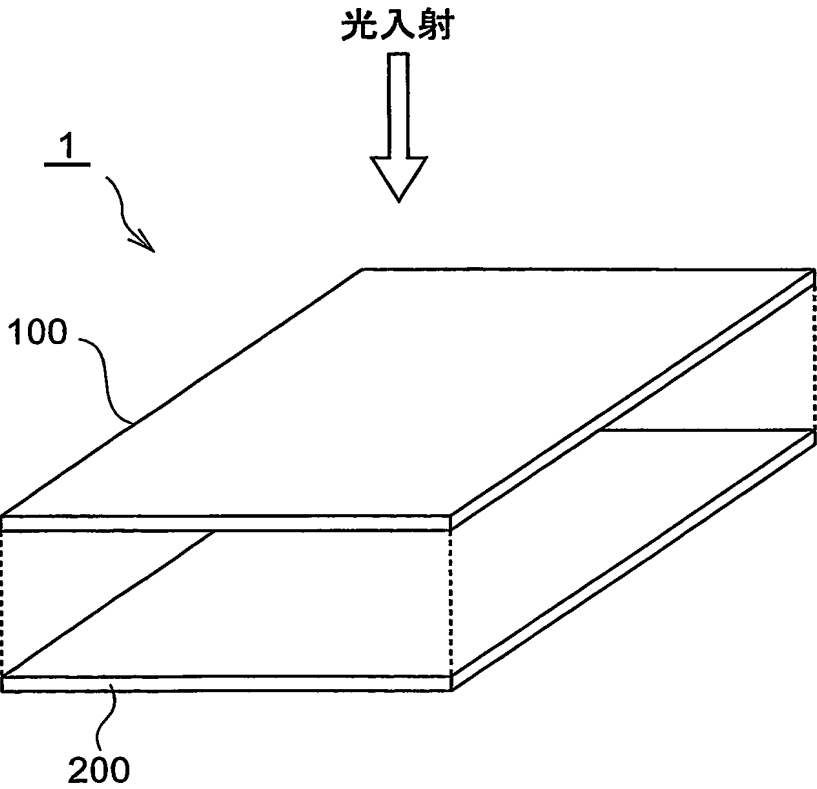
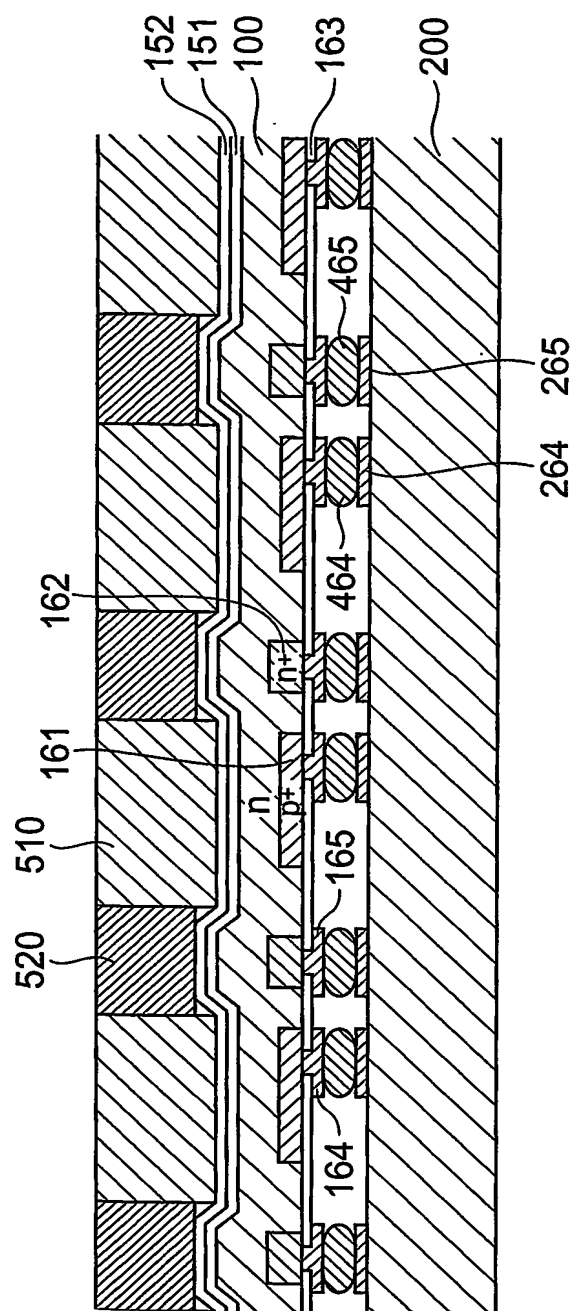


図5





INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/16802

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G01J1/44, G01T1/20, H01L27/146, H01L31/10, H04N5/335

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G01J1/42-1/46, G01T1/20-1/208, G01B11/00-11/30,
G01D3/00-3/02, H01L27/14-27/148, H01L31/10, H03F3/08,
H03M1/00-1/88, H04N5/30-5/335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 02/012845 A1 (Hamamatsu Photonics Kabushiki Kaisha), 14 February, 2002 (14.02.02), Full text; Figs. 1 to 10B & EP 1314969 A1	1-5, 7 6
Y A	JP 2000-310561 A (Hamamatsu Photonics Kabushiki Kaisha), 07 November, 2000 (07.11.00), Par. Nos. [0014] to [0015]; Fig. 1 & WO 00/65317 A1 & EP 1197735 A1 & US 2002/0029122 A1	1-5, 7 6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search
29 February, 2004 (29.02.04)

Date of mailing of the international search report
09 March, 2004 (09.03.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/16802

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-291877 A (Hamamatsu Photonics Kabushiki Kaisha), 19 October, 2001 (19.10.01), Full text; Figs. 1 to 4 (Family: none)	7
A	JP 2001-141562 A (Hamamatsu Photonics Kabushiki Kaisha), 25 May, 2001 (25.05.01), Full text; Figs. 1 to 8 (Family: none)	1-7
A	JP 2001-54020 A (Minolta Co., Ltd.), 23 February, 2001 (23.02.01), Full text; Figs. 1 to 7 (Family: none)	1-7
A	JP 10-142051 A (NEC Corp.), 29 May, 1998 (29.05.98), Full text; Figs. 1 to 10 & EP 843466 A2 & US 6154252 A	1-7
A	JP 63-205527 A (Sanyo Electric Co., Ltd.), 25 August, 1988 (25.08.88), Full text; Figs. 1 to 7 (Family: none)	1-7
A	JP 63-204131 A (Olympus Optical Co., Ltd.), 23 August, 1988 (23.08.88), Full text; Figs. 1 to 7 (Family: none)	1-7

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G01J 1/44, G01T 1/20, H01L 27/146, H01L 31/10, H04N 5/335

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G01J 1/42-1/46, G01T 1/20-1/208, G01B 11/00-11/30, G01D 3/00-3/02, H01L 27/14-27/148, H01L 31/10, H03F 3/08, H03M 1/00-1/88, H04N 5/30-5/335

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	WO 02/012845 A1 (浜松ホトニクス株式会社) 2002.02.14, 全文, 第1-10B図 & EP 1314969 A1	1-5, 7
A		6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に関する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

29.02.2004

国際調査報告の発送日

09.3.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

平田 佳規

2W

9807

電話番号 03-3581-1101 内線 3290

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-310561 A (浜松ホトニクス株式会社) 2000. 11. 07, 段落番号【0014】-【0015】, 第1図 & WO 00/65317 A1 & EP 1197735 A1 & US 2002/0029122 A1	1-5, 7
A		6
Y	JP 2001-291877 A (浜松ホトニクス株式会社) 2001. 10. 19, 全文, 第1-4図 (ファミリーなし)	7
A	JP 2001-141562 A (浜松ホトニクス株式会社) 2001. 05. 25, 全文, 第1-8図 (ファミリーなし)	1-7
A	JP 2001-54020 A (ミノルタ株式会社) 2001. 02. 23, 全文, 第1-7図 (ファミリーなし)	1-7
A	JP 10-142051 A (日本電気株式会社) 1998. 05. 29, 全文, 第1-10図 & EP 843466 A2 & US 6154252 A	1-7
A	JP 63-205527 A (三洋電機株式会社) 1988. 08. 25, 全文, 第1-7図 (ファミリーなし)	1-7
A	JP 63-204131 A (オリンパス光学工業株式会社) 1988. 08. 23, 全文, 第1-7図 (ファミリーなし)	1-7